



# PROPOSITION DE STAGE

Affectation : DRT/LETI/DACLE/SCSN/LISAN

**Intitulé : Sécurisation de blocs matériels contre les attaques physiques en modifiant les options d'implémentation**

## Contexte :

CEA Tech est le leader mondial de la recherche technologique. Les équipes d'ingénieurs chercheurs sont mobilisées pour bâtir et transférer à des partenaires industriels des portefeuilles de technologies répondant aux besoins des filières technologiques dans les domaines de l'information, de la communication, de l'énergie et de la santé.

Le Leti, un des instituts de CEA Tech, concentre son activité sur les micro et nano technologies et leurs applications aux systèmes et composants de communication sans fil, à la biologie et la santé, à l'imagerie, et aux Micro-Nano Systèmes (MNS).

Au sein du Département d'Architecture, Conception et Logiciel Embarqué (DACLE), le laboratoire LISAN (Laboratoire Intégration des Systèmes et Architecture Numériques) conçoit et réalise des circuits intégrés digitaux basés sur des architectures à haute efficacité énergétique, couvrant un large spectre applicatif depuis l'internet des objets jusqu'aux systèmes sur puce complexes pour calcul intensif.

<http://www.leti-cea.fr/cea-tech/leti>



CEA Grenoble - Presqu'île

## Sujet :

Le laboratoire LISAN (Laboratoire Intégration Silicium et Architecture Numérique) développe et conçoit des systèmes sur puces (SoC) innovants à base d'architectures multicœurs ainsi que des architectures basse consommation dédiées à l'Internet des Objets (Internet of Things - IoT). Le domaine de l'IoT remet à plat de nombreux prérequis, notamment au niveau de la sécurité des objets connectés autonomes en énergie. Les nouvelles architectures se veulent les plus économes en énergie possible. L'implémentation de la sécurité dans l'IoT doit donc elle aussi être guidée par l'énergie disponible, sans pour autant mener à des failles de

sécurité. Il a été montré que lors de l'implémentation physique d'un bloc matériel, les options d'implémentation choisies (choix des transistors, des cellules, placement, routage...) ont un impact sur la sécurité du bloc face aux attaques par canaux auxiliaires (le plus couramment en faisant une étude statistique des traces de consommation). Il est donc d'intérêt de comprendre et de caractériser ce phénomène afin de guider les concepteurs à mieux sécuriser leurs blocs.

### Travail Demandé :

Le travail se décomposera en plusieurs étapes :

- Prise en main du flot de conception ASIC numérique du laboratoire (simulation sous Modelsim/Questasim, synthèse sous Design Compiler, implémentation physique sous Innovus et génération des traces de consommation sous PrimeTime power)
- Prise en main de l'environnement d'attaques sous Python à partir de la mise en forme des traces de consommation (CPA et T-test)
- Développement RTL d'un ou plusieurs blocs matériels simples qui serviront de références pour cette étude
- Réalisation de l'implémentation physique (synthèse + placement routage) de ces blocs avec diverses options
- Caractérisation de l'implémentation par rapport aux attaques par canaux auxiliaires

### Profil :

Cette proposition est dédiée aux étudiants recherchant un stage au contenu technique ambitieux et désirant acquérir une expérience dans la recherche technologique.

L'étudiant devra présenter un niveau équivalent de dernière année d'école d'ingénieur (ou master 2) avec de préférence une spécialité en conception de circuits numériques. Des notions sur la sécurité des systèmes matériels, de la cryptographie en général serait un plus. La connaissance de la microélectronique et du flot de conception aidera le stagiaire à la réussite des objectifs. Enfin, l'étudiant devra présenter une bonne curiosité dans le domaine de la sécurité matérielle.

Formation requise	Durée du stage	Possibilité thèse
Ecole Ingénieur ou Master Recherche	6 mois	NON

### Unité d'accueil

Adresse postale	CEA GRENOBLE 17 avenue des Martyrs 38054 Grenoble CEDEX 9
-----------------	---

### Responsable technique

Nom-prénom : David CORIAT

Téléphone : 04 38 78 51 81

Courriel : david.coriat@cea.fr